

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163828

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 K 5/08

H 0 3 K 5/08

R

H 0 3 F 3/45

H 0 3 F 3/45

B

H 0 4 B 10/28

H 0 4 L 25/03

E

10/26

H 0 4 B 9/00

Y

10/14

審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平9-44073

(71) 出願人 000000295

沖電気工業株式会社

(22) 出願日 平成9年(1997) 2月27日

東京都港区虎ノ門1丁目7番12号

(72) 発明者 菊池 修

(31) 優先権主張番号 特願平8-262624

東京都港区虎ノ門1丁目7番12号 沖電気

(32) 優先日 平8(1996)10月3日

工業株式会社内

(33) 優先権主張国 日本 (J P)

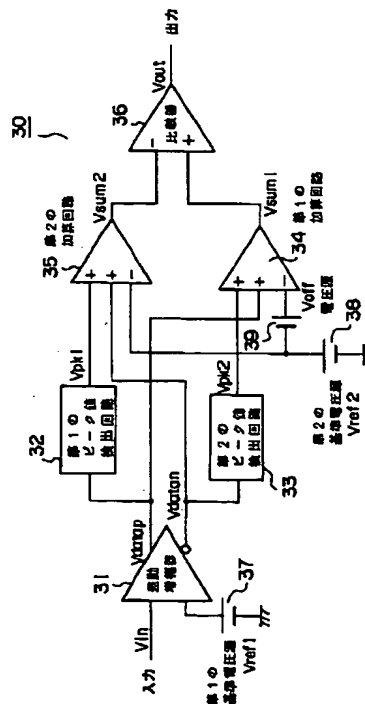
(74) 代理人 弁理士 大西 健治

(54) 【発明の名称】 レベル識別回路

(57) 【要約】

【課題】 レベル識別動作の立ち上がりが非常に高速で、レベル識別された出力信号のデューティ歪みや符号誤りを生じることなくレベル識別設計が容易なレベル識別回路を提供する。

【解決手段】 レベル識別回路は、入力信号を受けて正、負の信号を出力する差動増幅器と、正、負信号のピーク値を検出するピーク値検出回路と、正、負信号と負、正信号ピーク値との加算を行う加算回路、および加算回路の出力を受けてデジタルの"1"、"0"を確定する比較器とを有する。さらに、加算回路の出力を基にフィードバック信号を作成し、これを加算回路に与えても良い。



【特許請求の範囲】

【請求項1】 入力信号を受けて正および負の信号を出力する差動増幅器と、

前記正信号のピーク値を検出する第1のピーク値検出手段と、

前記負信号のピーク値を検出する第2のピーク値検出手段と、

前記正信号と前記第2のピーク値検出手段により検出された負信号ピーク値とを加算する第1の加算手段と、

前記負信号と前記第1のピーク値検出手段により検出された正信号ピーク値とを加算する第2の加算手段と、

前記第1の加算手段の出力および前記第2の加算手段の出力に基づいてデジタルの“1”、“0”を確定する比較手段とを備えたことを特徴とするレベル識別回路。

【請求項2】 前記差動増幅器は、入力信号を増幅し、互いに振幅が等しく論理が反対の信号を前記正および負の信号として出力することを特徴とする請求項1記載のレベル識別回路。

【請求項3】 前記第1および第2の加算手段の出力をそれぞれ与えられる電圧検出手段と、

この電圧検出手段の検出値をもとにフィードバック電圧を可変する手段と、

これにより得られたフィードバック電圧を前記第1および第2の加算手段にフィードバックする手段とをさらに備えたことを特長とする、請求項1記載のレベル識別回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は、データ信号受信器のレベル識別回路に関する。例えば、TDMA (Time Division Multiple Access) 方式により双方向通信を行うPON (Passive Optical Network) システムの光信号受信器において、バースト状の信号をその先頭部分から、符号誤りを起こすことなくレベル識別するレベル識別回路に関する。

【0002】

【従来の技術】加入者網の全光化を実現するシステムとして、PDS (Passive Double Star) 線路網構成をとるPDS光加入者伝送システムが注目されている。このPDS光加入者システムは、さまざまな多重化方式を積極的に利用して伝送を行う点に特徴がある。

【0003】PDS光加入者伝送システムにおいては、高速でAGC (Automatic Gain Control) もしくはATC (Automatic Threshold Control) を行うバースト信号対応光受信器の実現が不可欠である。この種のデータ信号受信器のレベル識別回路としては、たとえば図5に示すものがある。図5は、ATC方式を用いたレベル識別回路の回路図である。

【0004】図5中、このレベル識別回路は差動増幅器11、演算増幅器12、抵抗13～16、ピーク値検出

回路17、リミッタ増幅器18、そして基準電圧源19を有する。このレベル識別回路は、演算増幅器12の入出力に抵抗13～16による帰還を施す。そして負出力電圧信号と正出力電圧のピーク値とを入力側に負帰還することで、入力信号の電圧振幅に応じたその中点電位を検出し、これにより論理レベル“1”、“0”の識別を行う。この回路は、例えば「高速ATC回路を用いたDC結合型バーストモード光受信器」(1992年信学秋季全大B-717、長堀他)に記載されたものがある。

【0005】一方、図6は双方向通信を行うPONシステムの概要を示す図である。この図に示すように、PONシステムではバースト状の信号が伝送され、光信号受信器は信号レベルが各タイムスロットごとに変動する光信号を受信する。

【0006】

【発明が解決しようとする課題】しかしながら、このようなレベル識別回路にあっては、PONシステムのようにバースト状の信号を伝送する場合には、伝送効率の低下を招かないように、レベル識別回路が各バースト信号の先頭数ビット以内で正しくレベル識別を開始しなければならない。

【0007】図5に示すレベル識別回路では、負帰還が抵抗13～16とピーク値検出回路によって行われるので、ATC動作の立ち上がりは高速である。しかしそれゆえに、回路に位相補償を施さないと発振が生じる。したがって、ループ利得、位相余裕に注意を払わなければならない。

【0008】さらに、入力信号とその基準電位との間に、予期せぬオフセット電圧がわずかでも生じると、識別された信号の符号誤り特性が劣化するという問題点があった。

【0009】よってこの発明は、レベル識別動作の立ち上がりが非常に高速で、レベル識別された出力信号のデューティ歪みや符号誤りを生じることなくレベル識別設計が容易なレベル識別回路を提供することを目的とする。

【0010】

【課題を解決するための手段】この発明のレベル識別回路は、入力信号を受けて正および負の信号を出力する差動増幅器と、正信号のピーク値を検出する第1のピーク値検出手段と、負信号のピーク値を検出する第2のピーク値検出手段と、正信号と第2のピーク値検出手段により検出された負信号ピーク値とを加算する第1の加算手段と、負信号と第1のピーク値検出手段で検出された正信号ピーク値とを加算する第2の加算手段と、第1の加算手段の出力および第2の加算手段の出力に基づいてデジタルの“1”、“2”を確定する比較手段とを備えて構成する。上記差動増幅器は、入力信号を増幅し、たがいに振幅が等しく論理が反対の信号を正および負の信号として出力するものであっても良い。

【0011】さらに、2つの加算手段の出力電圧を加算手段にフィードバックする構成を有していても良い。

【0012】

【発明の実施の形態】この発明のレベル識別回路は、PONシステムの光信号受信器において、バースト信号をその先頭部分から、符号誤りを起こすことなくレベル識別するレベル識別回路に適用することができる。図1は、この発明の第1の実施形態にかかるレベル識別回路の構成を示す回路図である。

【0013】図1において、レベル識別回路30は、差動増幅器31、第1のピーク検出回路32（第1のピーク検出手段）、第2のピーク検出回路33（第2のピーク検出手段）、第1の加算回路34（第1の加算手段）、第2の加算回路35（第2の加算手段）、比較器36（比較手段）、第1の基準電圧源37、第2の基準電圧源38および電圧源39から構成される。

【0014】入力信号Vinは差動増幅器31に入力される。第1の基準電圧源37は、入力信号に対するリファレンス電圧として差動増幅器31に入力される。差動増幅器31の正出力は、第1の加算回路34に接続されるとともに第1のピーク値検出回路32にも接続される。一方負出力は、第2の加算回路35に接続されるとともに第2のピーク値検出回路33にも接続されている。

【0015】第1のピーク値検出回路32の出力は、第2の加算回路35に接続されている。また第2のピーク値検出回路33の出力は、第1の加算回路34に接続される。第1の加算回路34の出力は比較器36の正入力に接続され、第2の加算回路35の出力は比較器36の負入力に接続される。

【0016】第2の基準電圧源38は、加算演算の基準電位を与えるため、第2の加算回路35に接続されている。また第1の加算回路34には、第2の基準電圧源38に直列に接続された電圧源39が接続されている。

【0017】このように、第1の実施形態のレベル識別回路30は、入力信号を受けて正、負の信号を出力する差動増幅器31と、正、負信号のピーク値を検出する2つのピーク値検出回路32、33と、正、負信号と負、正信号ピーク値との加算を行う2つの加算回路34、35と、加算回路34、35の出力を受けてデジタルの“1”、“0”を確定する比較器36とを備えた構成となっている。

【0018】以下、上述のように構成されたレベル識別回路30の動作を説明する。図2は、レベル識別回路30の各信号および各電圧を示す波形図である。

【0019】図1および図2において、レベル識別回路30に入力された信号Vinは差動増幅器31によって増幅される。これにより互いに振幅が等しく、論理が反対の信号VdatapとVdatanとが得られる。第1のピーク値検出回路32は、Vdatapのピーク値電位Vpk1を検出する。また第2のピーク値検出回路33はVdatanのピー

ク値電位Vpk2を検出する。VdatapとVpk2は第1の加算回路34に入力され、Vref2+Voffを基準電位としてそれぞれ加え合わされる。

【0020】同様に、VdatanとVpk1は第2の加算回路35に入力され、Vref2を基準電位としてそれぞれ加え合わされる。第1の加算回路34、第2の加算回路35の出力として得られる信号Vsum1、Vsum2は、互いに直流レベルが2Voffだけ異なり、論理が反対の信号である。これらVsum1、Vsum2を比較器36の正入力、負入力にそれぞれ入力すればレベル識別が行われ、論理レベルの“1”、“0”が確定したデジタル出力信号Voutが得られる。

【0021】電圧源39は、入力信号Vinが“0”連続符号であった場合に、加算の基準レベルをシフトすることによって、Vsum1をVsum2に対して2Voffだけ低くし、出力信号Voutの“0”を確定するための微小オフセット電圧Voffを与えている。

【0022】ここで、第1の実施形態では、図2に示すように、差動増幅器31の中点電位Vref2を基準電位として加算演算を行っている。しかし加算演算の基準電位は必ずしも差動増幅器の出力中点である必要はなく、2つの加算回路34、35のダイナミックレンジが許す限りの任意の値を選ぶことができる。

【0023】以上説明したように、この第1の実施形態によれば、入力信号を受けて正、負の信号を出力する差動増幅器31と、正、負信号のピーク値を検出する2つのピーク値検出回路32、33と、正、負信号と負、正信号ピーク値との加算を行う2つの加算回路34、35と、加算回路34、35の出力を受けてデジタルの“1”、“0”を確定する比較器36とを備えて構成されている。このように負帰還を用いずに、差動増幅器31、ピーク値検出回路32、33、加算回路34、35、および比較器36が直列に接続されている。これによりレベル識別動作の立ち上がりが非常に高速になり、また設計が容易であるという効果が得られる。

【0024】また、直流レベルを揃えた正、負の信号Vsum1およびVsum2を比較器に入力するため、レベル識別された出力信号Voutのデューティ歪みがほとんどないという効果が得られる。さらに、この第1の実施形態のレベル識別回路は、入力信号Vinと基準電位Vref1とのオフセット電圧が大きくても符号誤りを生じることなくレベル識別が可能である。

【0025】次に、第2の実施形態について説明する。図3において、レベル識別回路40は、差動増幅器41、第1のピーク検出回路42（第1のピーク検出手段）、第2のピーク検出回路43（第2のピーク検出手段）、第1の加算回路44（第1の加算手段）、第2の加算回路45（第2の加算手段）、比較器46（比較手段）、第1の基準電圧源47、第2の基準電圧源48を有する。さらに、第1の電圧検出器51（第1の電圧検

出手段)、第2の電圧検出器52(第2の電圧検出手段)、差動増幅器53、および演算増幅器54を有する。

【0026】入力信号Vinは差動増幅器41に入力される。第1の基準電圧源47は、入力信号に対するリファレンス電圧として差動増幅器41に入力される。差動増幅器41の正出力は、第1の加算回路44に接続されるとともに第1のピーク値検出回路42にも接続される。一方負出力は、第2の加算回路45に接続されるとともに第2のピーク値検出回路43にも接続されている。

【0027】第1のピーク値検出回路42の出力は、第2の加算回路45に接続されている。また第2のピーク値検出回路43の出力は、第1の加算回路44に接続される。第1の加算回路44の出力は比較器46の正入力に接続され、第2の加算回路45の出力は比較器46の負入力に接続される。

【0028】第1の加算回路44の出力は、第1の電圧検出器51にも接続されている。同様に、第2の加算回路45の出力は、第2の電圧検出器52にも接続されている。第1の電圧検出器51の出力は比較器53の負入力に、第2の電圧検出器52の出力は差動増幅器53の正入力に、それぞれ接続されている。差動増幅器53の出力は演算増幅器54の一方の入力に接続されている。

【0029】第2の基準電圧源48は、Vsum1とVsum2との間にオフセット電圧を与えるため、演算増幅器54のもう一方の入力に接続されている。演算増幅器54の正出力は第1の加算回路44に、負出力は第2の加算回路45に、それぞれ接続されている。

【0030】このように、第2の実施形態のレベル識別回路40は、入力信号を受けて正、負の信号を出力する差動増幅器41と、正、負信号のピーク値を検出する2つのピーク値検出回路42、43と、正、負信号と負、正信号ピーク値との加算を行う2つの加算回路44、45と、加算回路44、45の出力を受けてデジタルの"1"、"0"を確定する比較器46とを有している。さらに、2つの加算回路44、45の出力電圧を検出する電圧検出器51、52と、これらの電圧検出器の出力を受けてフィードバックのための電圧を生成する差動増幅器53と、2つの加算回路にフィードバック電圧を与える演算増幅器54とを有している。

【0031】以下、電圧検出器51、52について説明する。図3では、加算回路44、45は簡単のために1出力として示しているが、たとえば一方を正出力、他方をインバーターを介した負出力とした2出力構成とすることができる。具体的には、たとえば加算回路44は、Vsum1と反転Vsum1とを出力することになる。これらの出力の中点電位を抵抗分割などの手法で取り出し、この中点電位を差動増幅器に与える構成が考えられる。

【0032】あるいは、加算回路44、45は単純な1出力の回路とし、電圧検出器として一般的なボトム値検

出回路を適用することもできる。このボトム値検出回路の検出出力を、差動増幅器に与える。

【0033】前者の構成であると、2つの加算器の間のDCバイアス点の誤差(温度変化などによる)影響を受けることなく、安定したVoffset(Vsum1とVsum2との差)を比較器46に与えることができる。後者の構成であれば、2つの加算回路間のDCバイアス点の誤差ばかりでなく、それらの利得の誤差や、加算回路以前の回路要素の誤差をも受けることのない、より安定したVoffsetを得ることができる。

【0034】第2の実施形態では、2つの加算回路の出力電圧を差動増幅器53に入力し、差動増幅器53の出力を演算増幅器54に与えている。電圧源48は、Vsum1とVsum2との間にオフセット電圧を与えるための基準電位を与える。演算増幅器54は、Voffと、反転Voffとの2つを出力する。Voffは第1の加算回路44に与えられ、反転Voffは第2の加算回路45に与えられる。このフィードバックは、入力信号Vinが"0"連続符号であった場合に加算の基準レベルをシフトすることによって、出力信号Voutの"0"を確定するための微小オフセット電圧となる。このように、入力Vinが零であっても安定した動作を得られる。

【0035】したがって、このようなレベル識別回路を、PONシステムのように、バースト信号を伝送する光通信において、信号レベルが各タイムスロットごとに変動する光信号を受信する受信器に適用して好適である。また、TDMA方式によるLANシステムの信号受信器等に適用でき、さらに、バースト信号に限らず、2値のデジタル信号を受信するすべての受信器に適用することができる。

【0036】なお、上記レベル識別回路を構成する差動増幅器や検出回路、加算回路等の種々、基準電圧値およびオフセット値、また信号レベルなどは前述した実施形態に限られないことは言うまでもない。

【0037】

【発明の効果】この発明にかかるレベル識別回路によれば、レベル識別動作の立ち上がりが非常に高速で、レベル識別された出力信号のデューティ歪みや符号誤りを生じることなくレベル識別設計が容易なレベル識別回路が実現できる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態にかかるレベル識別回路の構成を示す回路図である。

【図2】第1の実施形態のレベル識別回路の各信号および各電圧を示す波形図である。

【図3】この発明の第2の実施形態にかかるレベル識別回路の構成を示す回路図である。

【図4】従来のレベル識別回路の構成を示す回路図である。

【図5】PONシステムの概要を示す図である。

【符号の説明】

30、40・・・レベル識別回路

31、41・・・差動増幅器

32、42・・・第1のピーク値検出回路

33、43・・・第2のピーク値検出回路

34、44・・・第1の加算手段

35、45・・・第2の加算手段

36、46・・・比較器

37、47・・・第1の基準電圧源

38、48・・・第2の基準電圧源

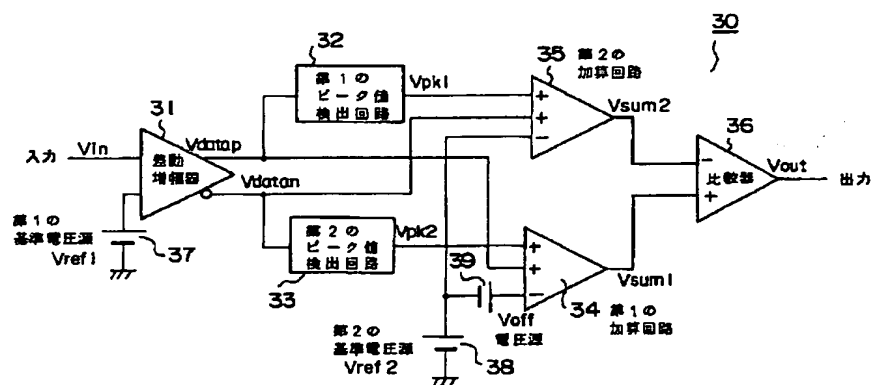
39・・・電圧源

51、52・・・電圧検出器

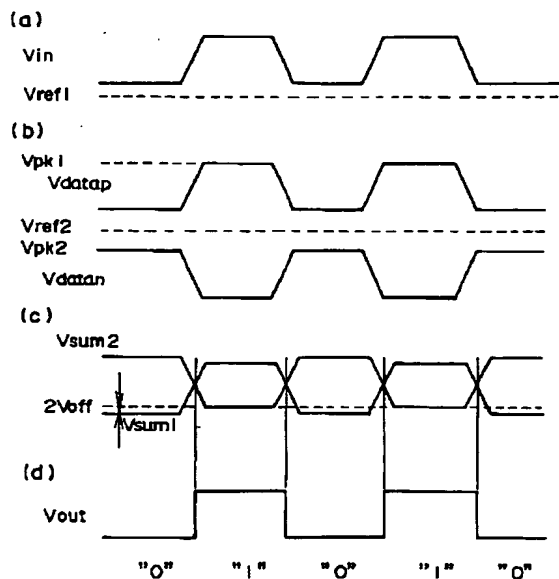
53・・・比較器

54・・・演算増幅器

【図1】

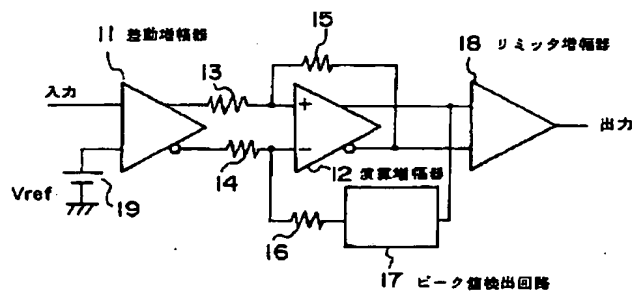


【図2】



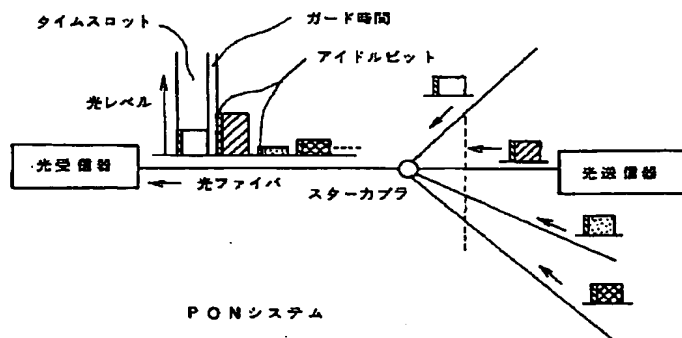
レベル識別回路の各信号および各電圧の波形図

【図4】



ATCを用いたレベル識別回路の例

【図5】



PONシステム

Figure 1 is a block diagram of a differential amplifier circuit. The circuit includes an input V_{in} connected to a differential amplifier 41. The output of 41 is connected to a peak detector 42 and a peak detector 43. The output of 42 is connected to a summing junction 45. The output of 43 is connected to a summing junction 44. The output of 45 is connected to a comparator 46. The output of 44 is connected to a voltage detector 51. The output of 51 is connected to a voltage detector 52. The output of 52 is connected to a differential amplifier 53. The output of 53 is connected to a peak detector 54. The output of 54 is connected to a summing junction 45. The output of 46 is connected to the output V_{out} . The circuit also includes a reference voltage V_{ref1} (47) and a reference voltage V_{ref2} (48).

(51) Int. Cl. 6

F I

10/06

H O 4 L 25/03